

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Akihisa YAMAMOTO

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: DRIVING CIRCUIT FOR SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

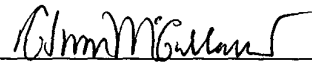
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-105245	April 9, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 9 日
Date of Application:

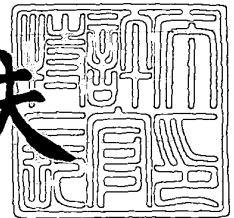
出 願 番 号 特 願 2 0 0 3 - 1 0 5 2 4 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 0 5 2 4 5]

出 願 人 三 菱 電 機 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 7 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 0 6 5 7

【書類名】 特許願

【整理番号】 543552JP01

【提出日】 平成15年 4月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H02H 3/08

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

 【氏名】 山本 晃央

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイスの駆動回路

【特許請求の範囲】

【請求項 1】 ゲート端子に付与される信号に基づき駆動され、出力用の主電極及びセンス電極を有する半導体デバイスを駆動する半導体デバイスの駆動回路であって、

前記センス電極により得られるセンス電圧に基づき前記半導体デバイスの過電流状態の有無を検出し、過電流状態検出時に前記半導体デバイスの動作停止を指示する過電流保護信号を出力する過電流保護回路と、

前記半導体デバイスのターンオン及びターンオフ直後の少なくとも所定期間をマスク期間に設定し、該マスク期間においては前記過電流保護信号を無効化し、前記マスク期間以外の期間において前記過電流保護信号を有効化して前記半導体デバイスの前記ゲート端子に前記過電流保護信号を付与する過電流保護信号マスク部とを備える、
半導体デバイスの駆動回路。

【請求項 2】 請求項 1 記載の半導体デバイスの駆動回路であって、

前記センス電圧に基づき前記半導体デバイスの短絡状態の有無を検出し、短絡状態検出時に前記半導体デバイスの動作停止を指示する短絡保護信号を前記半導体デバイスの前記ゲート端子に付与する短絡保護回路をさらに備える、
半導体デバイスの駆動回路。

【請求項 3】 請求項 2 記載の半導体デバイスの駆動回路であって、

前記過電流保護回路は前記センス電圧が第 1 の検出閾値電圧より高い場合に前記半導体デバイスが過電流状態であると検出し、

前記短絡保護回路は前記センス電圧が第 2 の検出閾値電圧より高い場合に前記半導体デバイスが短絡状態であると検出し、

前記第 2 の検出閾値電圧は前記第 1 の検出閾値電圧より高い値に設定される、
半導体デバイスの駆動回路。

【請求項 4】 請求項 1 ないし請求項 3 のうち、いずれか 1 項に記載の半導体デバイスの駆動回路であって、

前記過電流保護信号マスク部は、前記半導体デバイスのオン、オフを制御する信号に同期した駆動関連信号を受け、前記駆動関連信号に応答して前記マスク期間を設定する、
半導体デバイスの駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、インバータなどの電力用変換装置に使用される半導体デバイス（半導体素子）を、過電流状態から保護する過電流保護機能を備えた半導体デバイスの駆動回路に関する。

【0002】

【従来の技術】

大電力用半導体デバイスの一つである IGBT の駆動回路において、過電流保護機能を有する駆動回路は、IGBT セルをメイン端子とセンス端子とに分割し、センス端子より得られるセンス電流を電流検出抵抗により電圧変換されたセンス電圧をモニタすることにより、IGBT のメイン端子に流れるメイン電流の過電流状態を検知している。そして、センス電流に基づき過電流状態を検出すると IGBT を遮断するようにする機能が過電流保護機能である。

【0003】

しかしながら、上述したセンス電流（センス電圧）に基づく過電流状態の検出方法では、IGBT のターンオン及びターンオフ時直後において、上記センス電圧と上記メイン電流との間にアンバランスが生じるため、メイン電流の過電流状態を正確に検出することができなかった。

【0004】

この原因は、IGBT のターンオン及びターンオフ直後の期間において、IGBT のコレクターエミッタ間電圧 V_{CE} とゲートエミッタ間電圧 V_{GE} との関係がメイン端子側、センス端子側との間でアンバランスが生じてしまい、特にミラー区間（コレクタ、ゲート間の帰還容量の充放電時間）においてアンバランスの度合いが大きくなることに起因している。このことは、IGBT の駆動回路の等価回

路に基づくシミュレーション結果からも認識されている。

【0005】

このため、従来の過電流保護回路は、時定数の十分大きなフィルタや遅延回路等を設け、ターンオン及びターンオフ直後の所定期間に誤った過電流検出を行わないように波形整形（遅延を含む）機能を有していた。

【0006】

また、波形整形機能を有する過電流保護回路として例えば特許文献1に開示された過電流保護回路がある。この過電流保護回路は、センス電圧の比較結果に遅れ時間を形成する遅延回路を備えることにより、ノイズによるセンス電流の変動によってIGBTを遮断してしまう誤作動を防止している。

【0007】

【特許文献1】

特開 2001-345688号公報

【0008】

【発明が解決しようとする課題】

従来の波形整形機能を有する過電流保護回路はその機能を実現するため、時定数の十分大きな波形整形用のフィルタ等を実現するための外付け部品（R、C等）が必要となるため、集積化を困難にするという問題点があった。

【0009】

また、センス電圧（電流）を遅延することによる動作遅延を補うべく、別途、RTC (Real Time Control) 回路（IGBTに短絡電流が流れた場合に瞬時に遮断する回路）を設ける必要があり、さらに集積化を困難にしていた。

【0010】

この発明は上記問題点を解決するためになされたもので、駆動対象となる半導体デバイスのターンオン、ターンオフ直後においても誤作動することなく、当該半導体デバイスを過電流状態から保護することができる半導体デバイスの駆動回路を集積度を損ねることなく得ることを目的とする。

【0011】

【課題を解決するための手段】

この発明に係る請求項1記載の半導体デバイスの駆動回路は、ゲート端子に付与される信号に基づき駆動され、出力用の主電極及びセンス電極を有する半導体デバイスを駆動する回路であって、過電流保護回路と過電流保護信号マスク部とを含んでいる。前記過電流保護回路は、前記センス電極により得られるセンス電圧に基づき前記半導体デバイスの過電流状態の有無を検出し、過電流状態検出時に前記半導体デバイスの動作停止を指示する過電流保護信号を出力する。前記過電流保護信号マスク部は、前記半導体デバイスのターンオン及びターンオフ直後の少なくとも所定期間をマスク期間に設定し、該マスク期間においては前記過電流保護信号を無効化し、前記マスク期間以外の期間において前記過電流保護信号を有効化して前記半導体デバイスの前記ゲート端子に前記過電流保護信号を付与する。

【0012】

【発明の実施の形態】

<実施の形態1>

図1はこの発明の実施の形態1であるIGBTの駆動回路の一部を示す回路図である。

【0013】

同図に示すように、駆動対象の半導体デバイスであるIGBT1のコレクタはノードN1を介してコレクタ端子P1に接続される。また、IGBT1はエミッタ電極としてメイン端子1aとセンス端子1bとを有し、メイン端子1aはノードN2、N3を介して接地され、センス端子1bはノードN4に接続される。

【0014】

IGBT1のゲート電極に電氣的に接続して設けられるゲート端子P3は、抵抗R5及びノードN8を介して得られるドライバ15の出力を受け、通常動作時はドライバ15の出力により駆動される。また、ノードN1、N2間に、アノードをノードN2側にした還流ダイオード2が設けられる。

【0015】

一方、ノードN4及びノードN3間にシャント抵抗R1が設けられ、ノードN4がセンス入力端子P5に接続され、センス入力端子P5より得られる電圧が、

センス電圧 V_{sense} となる。

【0016】

過電流保護回路 6 はコンパレータ 26 及び抵抗 $R17$, $R18$ から構成される。抵抗 $R17$, $R18$ は電源 VCC , 接地間に直列に接続される。抵抗 $R17$, $R18$ 間の抵抗比によりノード $N7$ より得られる検出閾値電圧 V_{T1} (約 0.5 V 程度) が決定する。

【0017】

コンパレータ 26 は正入力にセンス電圧 V_{sense} を受け、負入力に検出閾値電圧 V_{T1} を受け、センス電圧 V_{sense} と検出閾値電圧 V_{T1} とを比較し、センス電圧 V_{sense} の方が高い時に “H”、低いときに “L” の過電流保護信号 $S6$ を出力する。

【0018】

一方、マスク回路 5 は入力信号 IN を入力端子 $P4$ から受ける。入力信号 IN は、 $IGBT1$ のターンオン・ターンオフ動作に立ち上がり及び立ち下がりが同期する駆動関連信号に相当すればよく、例えば、ドライバ 15 の入力信号そのものでもよい。

【0019】

マスク回路 5 はインバータ 21、電流源 22、NPNバイポーラトランジスタ 23、コンパレータ 24, 抵抗 $R15$, $R16$ から構成される。インバータ 21 は入力端子 $P4$ を介して入力信号 IN を受け、その出力を NPNバイポーラトランジスタ 23 のベースに付与する。

【0020】

NPNバイポーラトランジスタ 23 のコレクタと電源 VCC との間に (定) 電流源 22 が設けられ、NPNバイポーラトランジスタ 23 のエミッタが接地される。

【0021】

NPNバイポーラトランジスタ 23 のコレクタと接地レベルとの間にキャパシタ $C12$ が介挿され、キャパシタ $C12$ の一方電極側のノード $N9$ より得られる電圧が電圧 $V9$ となる。

【0022】

一方、電源VCC、接地レベル間に抵抗R15、R16が直列に接続され、抵抗R15、R16間のノードN6より得られる電圧が基準電圧VRとなる。

【0023】

コンパレータ24は正入力に電圧V9を受け、負入力に基準電圧VRを受け、両者を比較して $V9 > VR$ の時に“H”、 $V9 < VR$ の時に“L”のマスク信号S5を出力する。

【0024】

ANDゲート25は一方入力にコンパレータ24のマスク信号S5を受け、他方入力に過電流保護回路6の過電流保護信号S6を受ける。このANDゲート25の出力信号S25が遮断用制御信号SC_OUTとしてセンス出力端子P2から出力され、抵抗R6及びノードN8を介してIGBT1ゲート端子P3に付与される。

【0025】

図2は実施の形態1の過電流保護動作を示すタイミング図である。同図において、ゲート-エミッタ間電圧 V_{GE} はメイン端子1a側のIGBT1のゲート-エミッタ間電圧を示し、コレクタ電流 I_C はIGBT1のコレクタ電流を意味する。

【0026】

図2を参照して、時刻t1以前は入力信号INが“L”のため、NPNバイポーラトランジスタ23がオン状態であり、キャパシタC12の電荷は放電されており、マスク信号S5は“L”（マスク期間を指示）となり、マスク期間TM1となっている。

【0027】

時刻t1に入力信号INが“L”から“H”に立ち上がる（IGBT1がターンオンする）と、図2に示すように、ミラー期間T1を含む時刻t1直後の期間は、ゲート-エミッタ間電圧 V_{GE} 及びセンス電圧 V_{sense} が不安定な状態となっており、IGBT1におけるメイン端子1a及びセンス端子1bよりそれぞれ得られる電流の電流比が定常の状態と大きく違うため、精度が悪化する。

【0028】

一方、入力信号 IN が “H” になり、NPN バイポーラトランジスタ 23 がオフしても、キャパシタ C12 が充電され、電圧 V9 が基準電圧 VR を上回るまでは、コンパレータ 24 から出力されるマスク信号 S5 は “L” を維持しマスク期間 TM1 は継続される。したがって、過電流保護回路 6 の過電流保護信号 S6 は AND ゲート 25 によって無効化され、遮断用制御信号 SC_OUT は “L” に固定される。このように、マスク回路 5 と AND ゲート 25 とは過電流保護信号マスク部として機能する。

【0029】

その後、時刻 t2 に電圧 V9 が基準電圧 VR を上回るとマスク信号 S5 が “H” となり、マスク期間 TM1 が検出期間 TS に切り替わり、その結果、過電流保護回路 6 の過電流保護信号 S6 が有効となり、遮断用制御信号 SC_OUT とし出力される。

【0030】

このように、入力信号 IN が “H” になって IGBT1 のターンオン動作が開始されても、その直後の時刻 t1 ~ t2 間においてもマスク期間 TM1 の設定が維持される。

【0031】

したがって、時刻 t1 で IGBT1 がターンオンされても時刻 t2 までの期間において、マスク期間 TM1 における過電流保護信号 S6 が無効化されることにより、ターンオン直後の不安定な状態のセンス電圧 V_{sense} に基づき過電流保護が誤動作するのを確実に回避することができる。

【0032】

そして、時刻 t3 に入力信号 IN が “L” に立ち下がると、NPN バイポーラトランジスタ 23 がオンし、電圧 V9 が基準電圧 VR を下回り、マスク信号 S5 も “L” に立ち下がる。この際、NPN バイポーラトランジスタ 23 の駆動能力を十分に大きく設定することにより、入力信号 IN の立ち下がりとはほぼ同時にマスク信号 S5 も立ち下げることができる。

【0033】

したがって、時刻 t_3 時に検出期間 T_S がマスク期間 T_{M2} に切り替わり、過電流保護回路 6 の過電流保護信号 S_6 は再び無効化され、遮断用制御信号 SC_OUT は “L” に固定される。

【0034】

このように、入力信号 IN が “L” になって $IGBT_1$ のターンオフ動作が開始されても、その直後からマスク期間 T_{M2} が設定され、マスク期間 T_{M2} における過電流保護信号 S_6 が無効化される。したがって、ターンオフ直後の不安定な状態のセンス電圧 V_{sense} に基づき過電流保護が誤動作するのを確実に回避することができる。

【0035】

なお、ターンオン直後のマスク期間 T_{M1} の期間の設定、ターンオフ直後のマスク期間 T_{M2} への切り換えタイミングは、 $IGBT_1$ のターンオン・ターンオフ動作に立ち上がり及び立ち下がりが同期する入力信号 IN (駆動関連信号) に基づいて行っているため、正確に実行することができる。

【0036】

図 4 は $IGBT$ の駆動回路における一般的な過電流保護回路の回路構成を示す回路図である。同図に示すように、センス電圧 V_{sense} はフィルタ回路 3 を介してコンパレータ 4 の正入力に付与される。フィルタ回路 3 はキャパシタ C_{11} 及び抵抗 R_{13} から構成され、コンパレータ 4 の正入力となるノード N_5 とノード N_4 との間に抵抗 R_{13} が設けられ、ノード N_5 、接地間にキャパシタ C_{11} が設けられる。

【0037】

このような構成のフィルタ回路 3 は抵抗 R_{13} 及びキャパシタ C_{11} によって決定される RC 時定数によりセンス電圧 V_{sense} に対してフィルタリング処理を施した信号 S_3 をコンパレータ 4 の正入力に付与する。なお、キャパシタ C_{11} 及び抵抗 R_{13} は、 RC 時定数を大きくとるべく比較的サイズを大きく形成する必要があるため、集積化することが困難であり、外付けされる方が一般的である。

【0038】

一方、電源VCC、接地レベル間に抵抗R11、R12が直列に接続され、抵抗R11、R12間のノードN7より得られる電圧が検出閾値電圧VT3となる。

【0039】

コンパレータ4は正入力に信号S3を受け、負入力には検出閾値電圧VT1が付与される。そして、コンパレータ4は、 $S3 > VT3$ の時に“H”、 $S3 < VT3$ の時に“L”の過電流保護信号S4をセンス出力端子PSから出力し、この過電流保護信号S4が最終的にIGBT1のゲート端子P3に付与される（図示せず）。なお、IGBT1及びその周辺は図1で示した実施の形態1と同様であるため、説明を省略する。

【0040】

図4に示すように、一般的な過電流保護回路は、センス電圧 V_{sense} のターンオン・ターンオフ直後の不安定な状態を改善すべく、コンパレータ4の入力側に時定数の大きなフィルタ回路3を設けており、このフィルタ回路3の存在が集積化を大きく損ねていた。

【0041】

一方、実施の形態1のIGBTの駆動回路はフィルタ回路3のような構成要素は不要となる（サイズの大きい構成要素（R、C等）を用いる必要はない）ため、集積度を大幅に向上させることができる。

【0042】

したがって、IGBT1に相当する駆動対象の半導体デバイスが比較的小容量の場合、ドライバ15、抵抗R5、R6、マスク回路5及び過電流保護回路6を含む集積化範囲32で集積化することが従来に比べ容易になり、駆動対象の半導体デバイスが比較的大容量の場合でも、ANDゲート25、マスク回路5及び過電流保護回路6を含む集積化範囲31で集積化することが従来に比べ容易になる。

【0043】

加えて、実施の形態1のIGBTの駆動回路は、フィルタ回路3によりセンス電圧 V_{sense} を波形整形することがないため、センス電圧 V_{sense} による過電流検

出精度も向上する効果を奏する。

【0044】

<実施の形態2>

図3はこの発明の実施の形態2であるIGBTの駆動回路の一部を示す回路図である。同図に示すように、短絡保護回路7及びORゲート28が追加された点が実施の形態1と異なる。

【0045】

短絡保護回路7はコンパレータ27と抵抗R19、R20とから構成され、抵抗R19、R20は電源VCC、接地間に直列に接続される。抵抗R19、R20間の抵抗比によりノードN9より得られる検出閾値電圧VT2が決定する。

【0046】

短絡保護回路7の検出閾値電圧VT2は比較的高い2V程度に設定される。なお、過電流保護回路6の検出閾値電圧VT1は前述したように比較的低い0.5V程度に設定される。

【0047】

コンパレータ27は正入力にセンス電圧V_{sense}を受け、負入力に検出閾値電圧VT2を受け、その出力信号が短絡保護信号S7となる。

【0048】

ORゲート28は一方入力にANDゲート25の出力信号S25を受け、他方入力に短絡保護信号S7を受け、ORゲート28の出力が遮断用制御信号SC__OUTして出力される。他の構成は実施の形態1の駆動回路と同様であり、IGBT1、ドライバ15等の図示していない構成要素も勿論存在する。

【0049】

実施の形態1で用いた図2に示すように、マスク期間TM1(TM2)は、過電流保護回路6によるセンス電圧V_{sense}に基づく過電流検出の不感期間となっている。したがって、マスク期間TM1中に生じた過電流状態に対して保護動作(ゲート遮断)が開始されるのは早くともマスク期間TM1終了後になるため、保護動作が遅れてしまう。この点の解消を図ったのが実施の形態2である。

【0050】

短絡保護信号 S7 は OR ゲート 28 を介して遮断用制御信号 SC_OUT とし
て出力されるため、マスク期間 TM1 においてもマスクされることはない。した
がって、ターンオン（ターンオフ）直後のマスク期間 TM1（TM2）におい
ても、センス電圧 V_{sense} が検出閾値電圧 V_{T2} を上回ると、短絡保護信号 S7 が
“H” となり、過電流保護信号 SC_OUT による IGBT1 の保護動作が行え
る。

【0051】

ターンオン・ターンオフ直後のセンス電圧 V_{sense} はメイン電流であるコレク
タ電流 I_C に依存して、比較的大きな値を示す傾向があることに着目し、前述し
たように、短絡保護回路 7 の検出閾値電圧 V_{T2} は比較的高い値に設定している
。

【0052】

なお、前述したように、ターンオン・ターンオフ直後のセンス電圧 V_{sense} は
不安定な状態であるため、センス電流の検出精度は低い。しかしながら、アーム
短絡など大電流（定格電流を遙かに上回る電流）が流れる短絡現象の保護に用い
る程度の精度は十分得ることができる。

【0053】

また、短絡保護回路 7 は比較的高い検出閾値電圧 V_{T2} ($> V_{T1}$) に設定し
ているため、図 4 のフィルタ回路 3 のような存在は必要なく、保護動作に要する
信号伝達遅延時間は通常集積回路と同レベルの時間に抑えることができるため
、センス電圧 V_{sense} に基づく短絡状態の検出から $1 \mu s$ 以内の高速な保護動作
が可能である。

【0054】

ところで、IGBT の飽和電圧は定格電流で約 1.5 V 程度である。センス端
子 1b 側の IGBT の飽和電圧とセンス電圧 V_{sense} （シャント抵抗 R1 による
電流検出抵抗電圧）の合計がメイン端子 1a 側の IGBT の飽和電圧となる。し
たがって、定格では定常状態で検出されるセンス電圧 V_{sense} は大きくても 1 V
を超えない値である。

【0055】

したがって、検出閾値電圧 V_{T2} が IGBT の飽和電圧よりも高く設定されている短絡保護回路 7 では、定常状態において過電流を検出すること ($V_{sense} > V_{T2}$ となること) はないため、短絡保護回路 7 については過電流保護回路 6 のようにマスク期間を設ける必要はない。

【0056】

このように、実施の形態 2 の IGBT の駆動回路は、短絡保護回路 7 を備えることにより、実施の形態 1 の効果に加え、ターンオン・ターンオフ直後の短絡現象から IGBT を確実に保護することができる。

【0057】

また、実施の形態 1 同様、IGBT 1 に相当する駆動対象の半導体デバイスが比較的小容量の場合、ドライバ 15、抵抗 R_5 、 R_6 、マスク回路 5 及び過電流保護回路 6 に加え短絡保護回路 7 及び OR ゲート 28 を含む集積化範囲で集積化することが従来に比べ容易になり、駆動対象の半導体デバイスが比較的大容量の場合でも、AND ゲート 25、マスク回路 5 及び過電流保護回路 6 に加え OR ゲート 28 及び短絡保護回路 7 を含む集積化範囲で集積化すること従来に比べ容易になる。

【0058】

【発明の効果】

以上説明したように、この発明における請求項 1 記載の半導体デバイスの駆動回路は、マスク期間においては過電流保護信号を無効化し、マスク期間以外の期間において過電流保護信号を有効化し半導体デバイスのゲート端子に付与する過電流保護信号マスク部を有している。

【0059】

したがって、ターンオン及びターンオフ直後の不安定な状態のセンス電圧に基づく過電流保護動作を確実に回避することができ、誤動作することはない。さらに、過電流保護回路は、ターンオン及びターンオフ直後の不安定な状態のセンス電圧を波形整形するためのフィルタ回路等を設ける必要がないため、集積度の向上を図ることができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 である IGBT の駆動回路の一部を示す回路図である。

【図 2】 実施の形態 1 の過電流保護動作を示すタイミング図である。

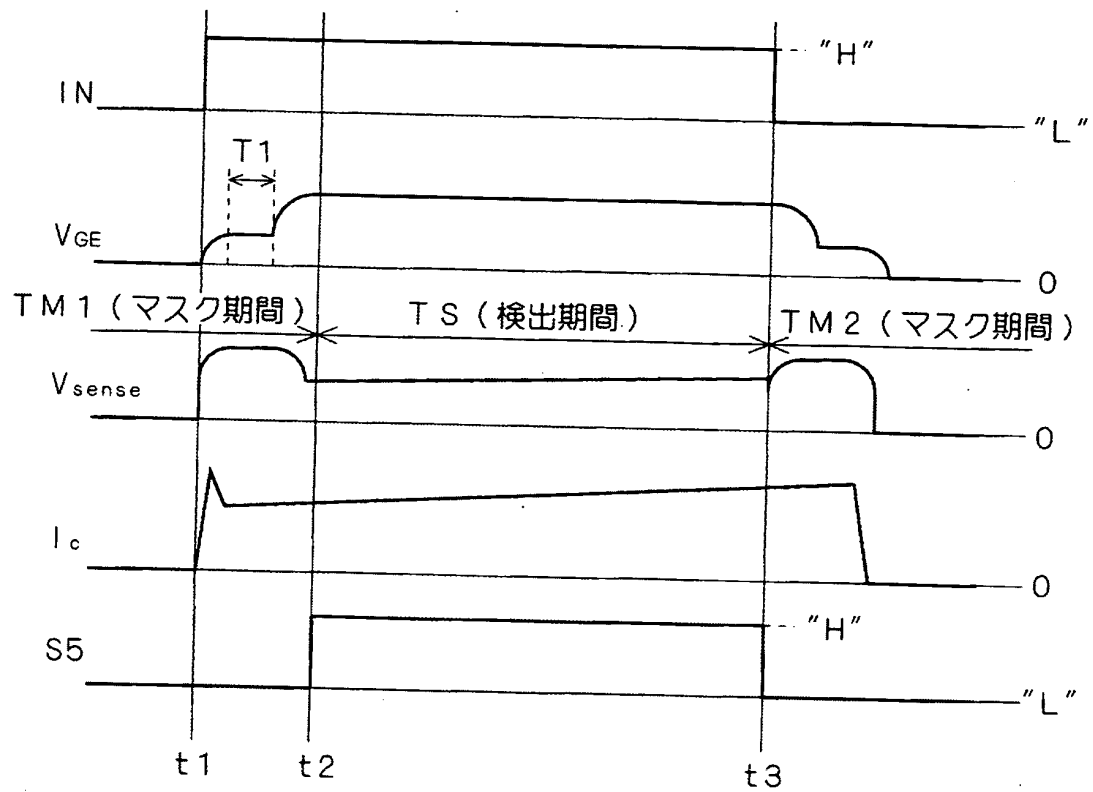
【図 3】 この発明の実施の形態 2 である IGBT の駆動回路の一部を示す回路図である。

【図 4】 一般的な過電流保護回路の回路構成を示す回路図である。

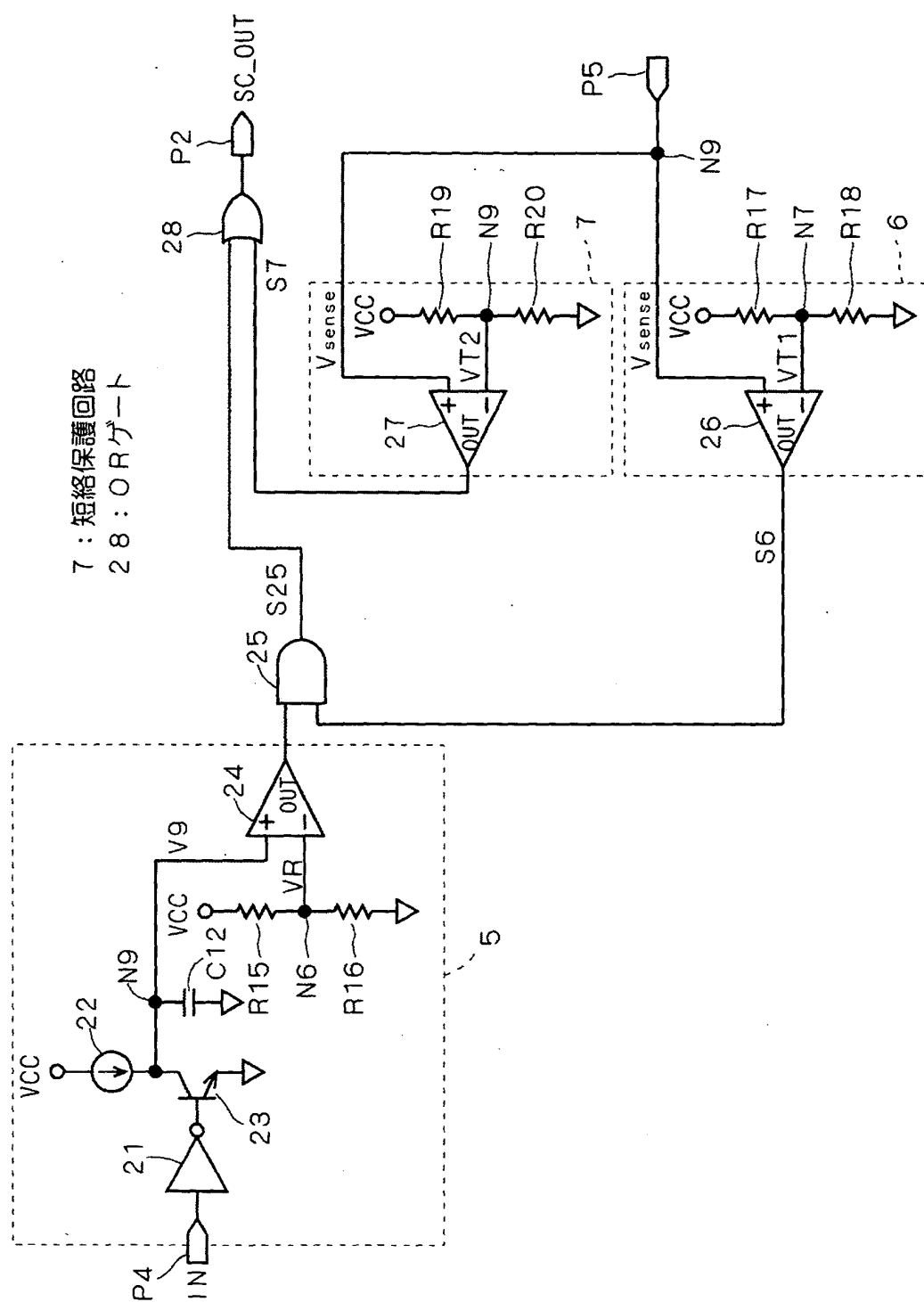
【符号の説明】

1 IGBT、5 マスク回路、6 過電流保護回路、7 短絡保護回路、2
5 ANDゲート、28 ORゲート。

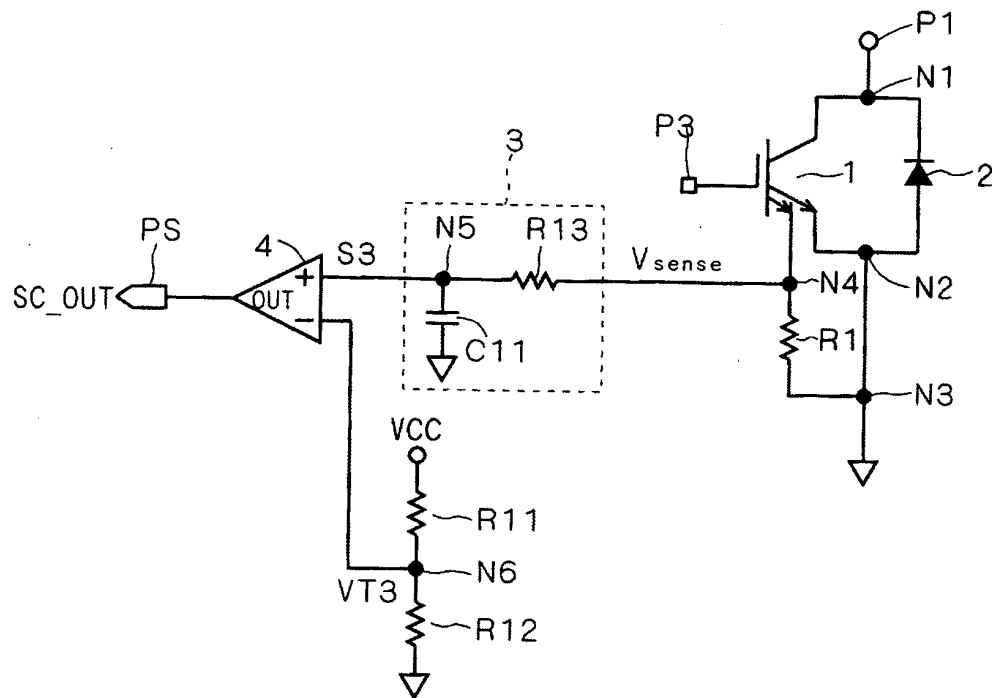
【図 2】



【図 3】



【図4】



【書類名】 要約書

【要約】

【課題】 半導体デバイスのターンオン、ターンオフ直後においても誤作動することなく、当該半導体デバイスを過電流状態から保護することができる半導体デバイスの駆動回路を集積度を損ねることなく得る。

【解決手段】 過電流保護回路 6 はセンス電圧 V_{sense} に基づき過電流保護信号 S_6 を出力する。マスク回路 5 は入力信号 I_N が “H” に立ち上がり（IGBT 1 がターンオンし）、NPNバイポーラトランジスタ 23 がオフしても、キャパシタ C_{12} が充電され、電圧 V_9 が基準電圧 V_R を上回るまでは、マスク信号 S_5 が “L” を維持するように構成される。一方入力にマスク信号 S_5 を受け、他方入力に過電流保護回路 6 からの過電流保護信号 S_6 を受ける AND ゲート 25 の出力が遮断用制御信号 SC_OUT としてセンス出力端子 P2 から出力され、最終的に IGBT 1 ゲート端子 P3 に付与される。

【選択図】 図 1

特願 2 0 0 3 - 1 0 5 2 4 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 4 日
新規登録

住 所
氏 名

東京都千代田区丸の内 2 丁目 2 番 3 号
三菱電機株式会社